

Docket No.: W&B-INF-908

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

10/01/01
12/14/01
JC580 U.S. PRO
12/14/01

Applicant : JUSTUS KUHN ET AL.

Filed : CONCURRENTLY HEREWITH

Title : DEVICE AND METHOD FOR REDUCING THE NUMBER OF ADDRESSES OF FAULTY MEMORY CELLS

CLAIM FOR PRIORITY

Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119,
based upon the German Patent Application 100 62 404.9, filed December 14, 2000.

A certified copy of the above-mentioned foreign patent application is being submitted
herewith.

Respectfully submitted,


For Applicants WERNER H. STEMER
 REG. NO. 34,956

Date: December 14, 2001

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/kf

BUNDESREPUBLIK DEUTSCHLAND



10/016863
12/14/01
PRO
JC500 U.S.

Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

CERTIFIED COPY OF PRIORITY DOCUMENT

Aktenzeichen: 100 62 404.9
Anmeldetag: 14. Dezember 2000
Anmelder/Inhaber: Infineon Technologies AG,
München/DE
Bezeichnung: Vorrichtung und Verfahren zum Reduzieren
der Anzahl von Adressen fehlerhafter Speicher-
zellen
IPC: G 11 C 29/00

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.**

München, den 22. November 2001
Deutsches Patent- und Markenamt
Der Präsident

Im Auftrag

Woliner

Beschreibung

Vorrichtung und Verfahren zum Reduzieren der Anzahl von Adressen fehlerhafter Speicherzellen

Die Erfindung betrifft ein Verfahren und eine Vorrichtung zum Reduzieren von Adressen fehlerhafter Speicherzellen einer Speicheranordnung, die bei einer Prüfung der Speicheranordnung auf eine korrekte Funktionsfähigkeit der Speicherzellen ermittelt werden. Die Vorrichtung und das Verfahren werden insbesondere bei einem Halbleiterspeicher mit einem matrixförmig angeordneten Speicherzellenfeld eingesetzt.

Bei der Überprüfung der Funktionsfähigkeit von Speicherzellen eines Halbleiterspeichers wird aufgrund der großen Anzahl der Speicherzellen eine große Anzahl von Adressen ermittelt, die fehlerhafte Speicherzellen kennzeichnen. Die große Anzahl der Adressen erfordert einen großen Speicherbereich und einen großen Aufwand bei der Abspeicherung und Weiterverarbeitung der Adressen.

Die Aufgabe der Erfindung besteht darin, ein Verfahren und eine Vorrichtung bereitzustellen, bei dem die Anzahl der Adressen fehlerhafter Speicherzellen, die abzuspeichern und weiterzuverarbeiten ist, verkleinert wird.

Die Aufgabe der Erfindung wird durch das Verfahren gemäß den Merkmalen des Anspruchs 1 und durch die Vorrichtung gemäß den Merkmalen des Anspruchs 6 gelöst.

Ein Vorteil der Erfindung besteht darin, dass die Adressen von Speicherzellen, die bei einem Testverfahren als fehlerhaft erkannt wurden, als erste Fehleradressen weiterverarbeitet werden und in einem ersten Vergleichsverfahren mit zweiten Fehleradressen verglichen werden. Die zweiten Fehleradressen stellen Adressen von vollständig zu reparierenden Wort- und/oder Bitleitungsabschnitten dar. Mit Wort- bzw.

Bitleitungsabschnitten sind die Bereiche einer Wort- bzw. Bitleitung gemeint, die üblicherweise komplett ersetzt werden oder ersetzt werden müssen.

Ergibt der Vergleich im ersten Vergleichsverfahren, dass die

5 ersten Fehleradressen und die zweiten Fehleradressen übereinstimmen, so werden die ersten Fehleradressen nicht mehr weiterverarbeitet und vorzugsweise gelöscht.

Weitere vorteilhafte Ausführungsformen der Erfindung sind in den abhängigen Ansprüchen angegeben. Vorzugsweise werden die

10 ersten Fehleradressen, die beim ersten Vergleichsverfahren nicht mit den zweiten Fehleradressen übereinstimmen, jeweils für einen Wort- und/oder Bitleitungsabschnitt dahingehend überprüft, ob pro Wort- und/oder Bitleitungsabschnitt eine vorgegebene Anzahl von ersten Fehleradressen überschritten

15 wird. Ist dies der Fall, so wird der entsprechende Wort- und/oder Bitleitungsabschnitt als vollständig zu reparierender Wort- und/oder Bitleitungsabschnitt erkannt und in weiteren ersten Vergleichsverfahren als neue zweite Fehleradresse berücksichtigt. Auf diese Weise werden laufend die

20 zweiten Fehleradressen aktualisiert und somit laufend die zu speichernden und weiterzuverarbeitenden ersten Fehleradressen reduziert.

Vorzugsweise wird als erste Fehleradresse eine komplette Adresse (eine Bitadresse und eine Wortadresse) einer fehler-

25 haften Speicherzelle verwendet.

Je nach Ausführungsform der zu überprüfenden Speicheranordnung ist die vorgebbare Anzahl von Adressen fehlerhafter Speicherzellen für das zweite Vergleichsverfahren für die

30 Wort- und Bitleitungsabschnitte unterschiedlich groß. Auf diese Weise kann das erfindungsgemäße Verfahren an die für einen Wort- und Bitleitungsabschnitt unterschiedlich große Anzahl von Ersatzbitleitungsabschnitten bzw. Ersatzwortleitungsabschnitten angepasst werden.

In einer weiteren bevorzugten Ausführungsform werden mehrere Bitleitungen, die zu einem Bitleitungsblock zusammengefasst sind, mit einer einzigen Bitblockadresse gekennzeichnet. Auf diese Weise wird die Anzahl der ersten Fehleradressen reduziert. Somit wird das Verfahren vereinfacht.

In einer weiteren vorteilhaften Ausführungsform werden mehrere Wortleitungen in einem Wortleitungsblock zusammengefasst und mit einer Wortblockadresse gekennzeichnet. Auf diese Weise wird die Anzahl der ersten und zweiten Fehleradressen für Wortleitungen reduziert. Dadurch ist das erfindungsgemäße Verfahren vereinfacht und schneller abarbeitbar.

Eine bevorzugte Ausführungsform der erfindungsgemäßen Vorrichtung besteht in der Verwendung einer ersten Vergleichseinheit mit zwei Reihen von Registern, in denen das erste Vergleichsverfahren durchgeführt wird.

Die Erfindung wird im Folgenden anhand der Figuren näher erläutert. Es zeigen

Fig. 1 eine Vorrichtung zur Durchführung des erfindungsgemäßen Verfahrens,

Fig. 2 einen schematischen Verfahrensablauf zur Durchführung des erfindungsgemäßen Verfahrens und

Fig. 3 einen Ausschnitt aus einer Speicheranordnung mit einem Bitleitungsblock und einem Wortleitungsblock.

Fig. 1 zeigt eine Speicheranordnung 3, die über eine Testleitung 2 mit einer Testvorrichtung 1 verbunden ist. Die Speicheranordnung 3 weist einen Ausgang auf, der über eine erste Ausgangsleitung 8 mit einer Einheit 7 in Verbindung steht. Die Speicheranordnung 3 weist einen Takteingang 36 auf, der an einen Taktausgang 38 eines Taktgenerators 37 angeschlossen ist. Die Testleitung 2 ist weiterhin an einen ersten Multiplexer 4 angeschlossen.

Der erste Multiplexer 4 weist zwei Ausgänge auf, wobei ein Ausgang an einen Eingang eines ersten Adressregisters 5 und ein weiterer Ausgang an einen Eingang eines zweiten Adressregisters 6 angeschlossen ist. Das erste Adressregister 5 steht über einen Ausgang mit der Einheit 7 in Verbindung. Das zweite Adressregister 6 steht ebenfalls über einen Ausgang mit einem weiteren Eingang der Einheit 7 in Verbindung. Die Einheit 7 ist mit einem Ausgang an eine erste Reihe 9 von seriell geschalteten Registern 11, 12, 13, 14 angeschlossen.

5 Die erste Reihe 9 weist ein erstes, zweites, drittes und viertes Register 11, 12, 13, 14 auf. Das vierte Register 14 der ersten Reihe 9 steht über einen Ausgang mit einem zweiten Multiplexer 19 in Verbindung.

10

Weiterhin ist eine zweite Reihe 10 mit einem fünften, sechsten, siebten, achtten Register 15, 16, 17, 18 vorgesehen. Die Register 15, 16, 17, 18 der zweiten Reihe 10 sind ebenfalls in Serie geschaltet. Zwischen der ersten und der zweiten Reihe 9, 10 ist eine erste Vergleichseinheit 20 angeordnet, die mit allen Registern der ersten und der zweiten Reihe 9, 10 verbunden ist. Die erste Vergleichseinheit 20 weist einen ersten Ausgang 40, einen ersten Eingang 39 und einen Takteingang 36 auf.

Weiterhin ist eine Recheneinheit 51 vorgesehen, die über eine Datenleitung 50 mit einem Speicher 47 und mit einem siebten Ausgang 52 mit dem ersten Eingang 39 der ersten Vergleichseinheit 20 verbunden ist.

Der zweite Multiplexer 19 weist einen Takteingang 36 und zwei Ausgänge auf, die zu einer vierten Reihe 22 und zu einer fünften Reihe 33 von Registern 27, 28, 29, 30, 35 geführt sind. Die vierte Reihe 22 weist ein neuntes, zehntes, elftes und zwölftes Register 27, 28, 29, 30 auf. Der vierten Reihe 22 ist eine zweite Vergleichseinheit 31 zugeordnet, die mit allen Registern der vierten Reihe 22 verbunden ist. Die Register der vierten Reihe 22 sind seriell geschaltet.

Weiterhin ist eine dritte Reihe 21 mit einem dreizehnten Register 23, einem vierzehnten Register 24, einem fünfzehnten Register 25 und einem sechzehnten Register 26 angeordnet.

Die zweite Vergleichseinheit 31 ist mit allen Registern der 5 dritten und vierten Reihe 21, 22 verbunden. Die zweite Vergleichseinheit 31 weist einen Takteingang 36, einen zweiten Eingang 41 und einen zweiten Ausgang 42 auf.

Die fünfte Reihe 33 ist mit den vier Registern 35 entsprechend der vierten Reihe 22 aufgebaut. Weiterhin ist eine 10 sechste Reihe 34 mit vier Registern 35 angeordnet, die entsprechend der dritten Reihe 21 aufgebaut ist. Die Register 35 der fünften und sechsten Reihe 33, 34 sind mit einer dritten Vergleichseinheit 32 verbunden, die einen Takteingang 36, einen dritten Eingang 43 und einen dritten Ausgang 44 aufweist. 15 Die Anordnung der fünften und sechsten Reihe 33, 34 mit der dritten Vergleichseinheit 32 ist analog in der Anordnung und in der Funktionsweise zu der Anordnung der dritten und vierten Reihe 21, 22 mit der zweiten Vergleichseinheit 31, wobei im Folgenden die Erfindung nur anhand der dritten und vierten 20 Reihe 21, 22 beschrieben wird.

Die Recheneinheit 51 ist mit einem achtten Ausgang 53 an den zweiten Eingang 41 der zweiten Vergleichseinheit 31 angeschlossen. Weiterhin weist die Recheneinheit 51 einen neunten Ausgang 54 auf, der an den dritten Eingang 43 der dritten Vergleichseinheit 32 angeschlossen ist. 25

Der Taktgenerator 37 weist einen Taktausgang 38 auf, der an die Takteingänge 36 angeschlossen ist und eine Referenzzeit vorgibt.

Im Folgenden wird die Funktionsweise der Vorrichtung der Fig. 30 1 näher erläutert. Die Testvorrichtung 1 gibt über die Testleitung 2 seriell Spalten- und Zeilenadressen von Speicherzellen der Speicheranordnung 3 an die Speicheranordnung 3,

die auf eine korrekte Funktionsweise hin zu überprüfen sind. Die Art der zu überprüfenden Funktion wird von der Testvorrichtung 1 über entsprechende Steuersignale vorgegeben. Die Überprüfung der korrekten Funktionsweise der adressierten Speicherzellen wird in einem bevorzugten Ausführungsbeispiel von der Speicheranordnung 3 durch Testschaltungen 61 selbst durchgeführt. Ergibt die Überprüfung der Speicherzelle, die durch die Adresse der Wort- oder Bitleitung gekennzeichnet ist, dass die Speicherzelle fehlerhaft ist, so wird von der Testschaltung 61 über die erste Ausgangsleitung 8 ein Fehler- signal an die Einheit 7 weitergegeben. Parallel zur Überprüfung der adressierten Speicherzelle werden die Wort- und Bitadressen von der Testleitung 2 an den ersten Multiplexer 4 weitergegeben. Der erste Multiplexer 4 führt die Wortadressen zum ersten Adressregister 5 und die Bitadressen zum zweiten Adressregister 6. Das erste und das zweite Adressregister 5, 6 sind als Schieberegister mit einstellbarer Tiefe ausgebildet. Die Adressen der Wort- und Bitleitungen werden in der Weise synchron mit der Überprüfung der Funktionsfähigkeit der adressierten Speicherzellen weiterverarbeitet, dass immer die entsprechende Adresse der Wort- und Bitleitung an dem Eingang der Einheit 7 anliegt, wenn das entsprechende Signal für eine korrekte Funktionsfähigkeit oder für eine fehlerhafte Funktionsfähigkeit an die Einheit 7 gegeben wird. Erhält die Einheit 7 beispielsweise bei einer anliegenden Wort- und Bit- adresse über die erste Ausgangsleitung 8 die Information, dass die Speicherzelle, die mit der Wort- und Bitadresse gekennzeichnet ist, korrekt funktioniert, so werden die Wort- und Bitadresse im ersten bzw. zweiten Adressregister 5, 6 gelöscht. Wird jedoch über die erste Ausgangsleitung 8 ein Fehlersignal an die Einheit 7 gegeben, so gibt die Einheit 7 beim nächsten Taktsignal die am Eingang anliegende Wort- und Bitadresse über einen zwölften Ausgang 62 an das erste Register 11 der ersten Reihe 9 weiter. Die Wort- und Bitadresse wird von der ersten Vergleichseinheit 20 weiterverarbeitet.

Im fünften Register der zweiten Reihe 10 ist beispielsweise eine Wortleitungsabschnittadresse (Wort- und Bitadresse) einer vollständig zu reparierenden Wortleitung, eine so genannte zweite Fehleradresse, abgespeichert. Die erste Vergleichseinheit 20 vergleicht die Adresse des ersten Registers 11 mit der Adresse des fünften Registers 15. Ergibt der Vergleich, dass die Adressen übereinstimmen, so wird die Adresse des ersten Registers 11 von der ersten Vergleichseinheit 20 gelöscht. Ergibt jedoch der Vergleich, dass die Adressen des ersten und des fünften Registers nicht übereinstimmen, so wird die Adresse des ersten Registers 11 nicht von der ersten Vergleichseinheit 20 gelöscht, sondern bei dem nächsten Takt signal in das zweite Register 12 weitergeschoben. Gleichzeitig wird beim nächsten Takt signal von der Einheit 7 eine entsprechende Adresse in das erste Register 11 eingelesen, wenn für diese Adresse ein Fehlersignal an der ersten Ausgangsleitung 8 an der Einheit 7 anliegt.

Die erste Vergleichseinheit 20 vergleicht zwischen zwei Takt signalen jeweils den Inhalt des ersten Registers mit dem Inhalt des fünften Registers, den Inhalt des zweiten Registers 12 mit dem Inhalt des sechsten Registers 16, den Inhalt des dritten Registers 13 mit dem Inhalt des siebten Registers 17 und den Inhalt des vierten Registers 14 mit dem Inhalt des achten Registers 18. Ergibt der Vergleich, dass die Adresse des Registers der ersten Reihe mit der Adresse des entsprechenden Registers der zweiten Reihe 10 übereinstimmt, so wird die Adresse des Registers der ersten Reihe 9 gelöscht.

Nach jedem Takt signal wird die Adresse in der ersten Reihe 9 um ein Register weiter verschoben. Vom vierten Register 14 wird die Adresse zu einem zweiten Multiplexer 19 weitergeleitet, der die Adresse in ein Register einer vierten oder fünften Reihe 22, 33 einschreibt.

In diesem Ausführungsbeispiel wird die Adresse vom vierten Register 14 über den zweiten Multiplexer 19 in ein neuntes Register 27 der vierten Reihe 22 eingeschrieben.

Bei dem folgenden Taktsignal vergleicht die zweite Ver-
gleichseinheit 31 den Inhalt des neunten Registers 27 mit dem
Inhalt des dreizehnten Registers 23, den Inhalt des zehnten
Registers 28 mit dem Inhalt des vierzehnten Registers 24, den
Inhalt des elften Registers 29 mit dem Inhalt des fünfzehnten
Registers 25 und den Inhalt des zwölften Registers 30 mit dem
Inhalt des sechzehnten Registers 26. Ergibt der Vergleich,
dass die Adressen übereinstimmen, so wird der Inhalt des Re-
gisters 27, 28, 29, 30 der vierten Reihe 22 gelöscht. Ergibt
der Vergleich, dass das Register der dritten Reihe 21 keinen
Inhalt aufweist, so überträgt die zweite Vergleichseinheit 31
den Inhalt des zugeordneten Registers der vierten Reihe 22 in
den Inhalt des entsprechenden Registers der dritten Reihe 21.

Bei jedem Taktsignal wird die Adresse, falls die Adresse
nicht gelöscht oder in ein Register 23, 24, 25, 26 der drit-
ten Reihe 21 verschoben wird, in der vierten Reihe 22 um ein
Register 28, 29, 30 weitergeschoben.

Die Adressen können von der Testvorrichtung 1 jeweils Wort-
leitung für Wortleitung oder Bitleitung für Bitleitung oder
Wortleitungsabschnitt für Wortleitungsabschnitt oder Bit-
leitungsabschnitt für Bitleitungsabschnitt oder beliebig ge-
testet werden. Die Testvorrichtung 1 gibt an einem achten
Eingang 63 der Recheneinheit 53 die Information aus, dass ein
neuer redundanzkonformer Bitleitungs- oder Wortleitungs-
abschnitt getestet wird. Wahlweise überträgt die Testvor-
richtung 1 an die Recheneinheit 51 die komplette Adresse des
zu testenden Bit- oder Wortleitungsabschnittes. Die Rechen-
einheit 51 gibt ein entsprechendes Signal für den Beginn und
das Ende der Überprüfung einer Wortleitung oder einer Bit-
leitung über den siebten, achten und neunten Ausgang 52, 53,
54 an die zweite und dritte Vergleichseinheit 31, 32.

Bei Erhalt des Signals, dass ein neuer Wort- oder Bit-
leitungsabschnitt getestet wird, erhält die Einheit 7 von der
Recheneinheit 51 ein entsprechendes Signal, so dass keine
weiteren Adressen in die erste Reihe 9 eingelesen werden. An-
5 schließend werden die bereits in der ersten Reihe 9 enthal-
tenen Adressen durch die Register der ersten Reihe 9 gescho-
ben, bis die letzte Adresse in der vierten Reihe 22 angelangt
ist. Ist die letzte Adresse in der vierten Reihe 22 ange-
langt, so schaltet der zweite Multiplexer 19 seinen Ausgang
10 auf die fünfte Reihe 33 um. Anschließend werden alle Adressen
bis zur letzten Adresse durch die Register der vierten Reihe
22 geschoben und entsprechend dem oben beschriebenen Ver-
fahren von der zweiten Vergleichseinheit 31 behandelt.

In einer vorteilhaften Ausführungsform findet beim Wechsel
15 der Wort- oder Bitleitungsabschnitte kein Unterbrechen des
Datenstroms der ersten Reihe 9 statt sondern der zweite Mul-
tiplexer 19 wird auf den Datenstrom synchronisiert und schal-
tet dann zwischen der vierten Reihe 22 und der fünften Reihe
33 um, wenn die letzte Adresse des alten Wort- oder Bit-
20 leitungsabschnittes in die vierte Reihe 22 übergeben wurde
und die erste Adresse des neuen Wort- oder Bitleitungs-
abschnittes sich noch in der ersten Reihe 9 befindet. An-
schließend werden die Register der dritten und vierten Reihe,
21, 22 auf den Wert 0 zurückgesetzt. Die Adressen des neu zu
überprüfenden Wort- oder Bitleitungsabschnittes werden ent-
sprechend dem beschriebenen Verfahren über die Einheit 7 in
die erste Reihe 9 eingelesen und nach der Überprüfung durch
die erste Vergleichseinheit 20 entsprechend dem beschriebenen
Verfahren über den zweiten Multiplexer 19 der fünften Reihe
30 33 zugeführt.

Die zweite bzw. dritte Vergleichseinheit 31, 32 überprüft, ob
in mehr als einer vorgegebenen Anzahl von Registern der drit-
ten bzw. sechsten Reihe 21, 34 Adressen abgespeichert sind.
Ist dies der Fall, so gibt die zweite bzw. dritte Vergleichs-
35 einheit 31, 32 ein entsprechendes Überlaufsignal an die

Recheneinheit 51. Erhält die Recheneinheit 51 ein Überlaufsignal, so überträgt die Recheneinheit 51 die Adresse der gerade überprüften Wort- oder Bitleitung als neue zweite Fehleradresse an die erste Vergleichseinheit 20, die die neue 5 zweite Fehleradresse in ein freies Register der zweiten Reihe 10 einschreibt. Anschließend löschen die zweite und dritte Vergleichseinheit 31, 32 den Inhalt der Register der dritten, vierten, fünften und sechsten Reihe 21, 22, 33, 34.

Ergibt die Überprüfung durch die zweite oder dritte Vergleichseinheit 31, 32, dass weniger als die vorgegebene Anzahl von Registern der dritten bzw. sechsten Reihe 21, 34 mit Adressen belegt sind, so werden die Adressen, die in den Registern der dritten bzw. sechsten Reihe 21, 34 abgespeichert sind, von der zweiten bzw. dritten Vergleichseinheit 31, 32 15 in den Speicher 47 übertragen. Dazu sind der zweite Ausgang 42 und der vierte Ausgang 44 an den Speicher 47 angeschlossen.

Ist eine gesamte Speicheranordnung überprüft worden, so gibt die Testvorrichtung 1 ein entsprechendes Endesignal an die 20 Recheneinheit 51. Daraufhin gibt die Recheneinheit 51 ein entsprechendes Endesignal an die erste Vergleichseinheit 20, die daraufhin alle zweiten Fehleradressen, die in der zweiten Reihe 10 abgespeichert sind, in den Speicher 47 überträgt. Es wird jedoch sichergestellt, dass alle erste Fehleradressen 25 über den zweiten Multiplexer 19 in die vierte Reihe 32 oder die fünfte Reihe 33 eingelesen und mit den Inhalten der Register der dritten bzw. sechsten Reihe 21, 34 verglichen wurden, bevor das Endesignal an die erste Vergleichseinheit 20 gegeben wird. Dadurch wird gewährleistet, dass ein entsprechend langer Nachlauf bei der Abarbeitung der Adressen 30 durch die erste und zweite oder dritte Vergleichseinheit 20, 31, 32 durchgeführt wird, so dass alle Adressen von der ersten und zweiten oder ersten und dritten Vergleichseinheit 20, 31, 32 abgearbeitet wurden. Somit sind alle Register 11, 35 12, 13, 14 der ersten Reihe 9 leer, bevor das Endesignal der

ersten Vergleichseinheit zugeführt wird. Vor dem Zuführen des Endesignals an die zweite und dritte Vergleichseinheit 31, 32 sind alle Register der vierten und fünften Reihe 22, 32 abgearbeitet und deshalb leer.

5 Jedes Register der ersten, zweiten, dritten, vierten, fünften und sechsten Reihe 9, 10, 21, 22, 33, 34 weist eine Bittiefe auf, die der Länge der Adressen der verwendeten Wort- bzw. Bitleitungen entspricht. Die Erfindung wurde anhand von Reihen mit jeweils vier seriell geschalteten Registern beschrieben, wobei jedoch jede beliebige Anzahl von Registern in serieller Anordnung verwendet werden kann. Vorzugsweise wird die Anzahl der Register der ersten und zweiten Reihe 9, 10 an die Anzahl der maximal vollständig zu reparierenden Wort- und Bitleitungen angepasst. Werden während einer Überprüfung einer Speicheranordnung 3 mehr als die maximal möglich zu reparierenden Wort- und/oder Bitleitungen erkannt, so wird die gesamte Speicheranordnung 3 als defekt gekennzeichnet und aussortiert.

20 Die Anzahl der Register, die in der dritten, vierten, fünften und sechsten Reihe 21, 22, 33, 34 seriell geschaltet sind, sind vorzugsweise an die Anzahl der maximal für eine Wort- und/oder Bitleitung zu reparierenden Bit- oder Wortleitungen angepasst. Auf diese Weise wird eine optimale Anpassung der Anzahl der Register pro Reihe erreicht.

25 Die ersten Fehleradressen, die Adressen einer Wort- oder Bitleitung einer fehlerhaften Speicherzelle darstellen und die zweiten Fehleradressen, die Adressen von vollständig zu reparierenden Wort- oder Bitleitungen darstellen, sind im Speicher 47 nach Überprüfung einer Speicheranordnung 3 abgespeichert und können für eine weitere Verarbeitung oder für weitere Testverfahren entsprechend berücksichtigt werden.

Fig. 2 zeigt einen schematischen Programmablauf des erfundungsgemäßen Verfahrens, wobei bei Programmfpunkt 10 eine

Adresse als erste Fehleradresse ermittelt wird, die über die ausgewählte Wort- bzw. Bitleitung eine Speicherzelle adressiert. Die Adresse besteht in der Wortadresse und der Bitadresse der fehlerhaften Speicherzelle. Sind die Speicherzellen 5 in Form von Speicherzellenblöcken organisiert, die im Falle einer Reparatur gemeinsam ersetzt werden, ist nur eine Wort- und Bitadresse für alle Speicherzellen eines Speicherzellenblocks vorgesehen. Die erste Fehleradresse kann entweder nach Vorgabe einer entsprechenden Adresse einer Wort- 10 und Bitleitung über eine Testvorrichtung 1 von Testschaltungen 61 ermittelt werden, die auf einer Speicheranordnung 3 integriert sind. Jedoch kann auch die Ermittlung der ersten Fehleradresse von der Testvorrichtung 1 selbst durchgeführt 15 werden, indem die Testvorrichtung 1 vorgegebene Testverfahren abarbeitet und das entsprechende Verhalten der Speicheranordnung 3 mit einem vorgeschriebenen Verhalten vergleicht und bei größeren Abweichungen eine Fehlfunktion der adressierten Speicherzelle der Speicheranordnung 3 erkennt. Damit ist eine 20 erste Fehleradresse einer Wort- oder Bitleitung erkannt, die anschließend bei Programmfpunkt 20 mit einer ersten Liste von zweiten Fehleradressen verglichen wird. Im gewählten Ausführungsbeispiel ist in der ersten Liste der zweiten Fehleradressen nur eine zweite Fehleradresse abgespeichert. Jedoch kann auch beim Start des Programms die erste Liste noch leer 25 sein. Ergibt der Vergleich bei Programmfpunkt 20, dass die erste Fehleradresse nicht mit einer der zweiten Fehleradressen übereinstimmt, so wird nach Programmfpunkt 40 verzweigt.

Ergibt der Vergleich bei Programmfpunkt 20, dass die erste 30 Fehleradresse mit einer der zweiten Fehleradressen übereinstimmt, so wird beim folgenden Programmfpunkt 30 die erste Fehleradresse gelöscht und anschließend zu Programmfpunkt 50 verzweigt.

Bei Programmfpunkt 40 wird die erste Fehleradresse in eine 35 zweite Liste eines Speichers eingeschrieben. Anschließend er-

In einer weiteren Ausführungsform der Erfindung wird jeweils ein Wortleitungsabschnitt oder ein Bitleitungsabschnitt auf fehlerhafte Bitleitungen bzw. Wortleitungen überprüft. Dabei wird bei Programmfpunkt 50 überprüft, ob alle Wortleitungen 5 oder Bitleitungen des Wortleitungsabschnittes bzw. Bit-
leitungsabschnittes überprüft worden sind. Ist dies nicht der Fall, so wird nach Programmfpunkt 10 zurückverzweigt und eine neue Bitleitung bzw. eine neue Wortleitung ausgewählt. Ergibt der Vergleich bei Programmfpunkt 50, dass alle Bitleitungen 10 bzw. Wortleitungen des zu überprüfenden Wortleitungsabschnittes bzw. Bitleitungsabschnittes überprüft worden sind und so-
mit alle erste Fehleradressen des Wortleitungsabschnittes bzw. des Bitleitungsabschnittes im Speicher in der zweiten Liste abgelegt sind, dann wird nach Programmfpunkt 60 ver- 15 zweigt. Bei Programmfpunkt 60 ermittelt die Recheneinheit die Anzahl der verschiedenen ersten Fehleradressen des überprüf-
ten Wortleitungsabschnittes bzw. Bitleitungsabschnittes.

Bei Programmfpunkt 70 überprüft die Recheneinheit, ob die An-
zahl der ersten Fehleradressen über einer vorgegebenen Anzahl 20 liegt. Ist dies der Fall, so wird zu Programmfpunkt 80 ver-
zweigt. Bei Programmfpunkt 80 wird die Adresse des gerade überprüften Wortleitungsabschnittes bzw. Bitleitungsabschnittes als neue zweite Fehleradresse in die erste Liste im Spei-
cher abgelegt, die zweite Liste anschließend gelöscht und daraufhin zu Programmfpunkt 10 zurückverzweigt. Bei Programm-
punkt 10 wird erneut ein Wortleitungsabschnitt oder Bit-
leitungsabschnitt ausgewählt und überprüft.

Ergibt die Abfrage bei Programmfpunkt 70, dass die Anzahl der ersten Fehleradressen für den Wortleitungsabschnitt oder den 30 Bitleitungsabschnitt kleiner als die vorgegebene Anzahl ist, so wird zu Programmfpunkt 90 verzweigt. Bei Programmfpunkt 90 werden die ersten Fehleradressen aus der zweiten Liste ausge-
lesen und in dem Speicher 47 abgespeichert. Anschließend wird bei Programmfpunkt 100 die zweite Liste mit den ersten Fehler-

adressen gelöscht und es wird zu Programmfpunkt 10 zurückverzweigt.

Das erfindungsgemäße Verfahren ist nicht auf das in Fig. 2 dargestellte Ausführungsbeispiel beschränkt, insbesondere 5 können Teile des Verfahrens zeitlich parallel abgearbeitet werden. Beispielsweise können die Programmschritte 1 bis 50 für eine neue Adresse abgespeichert werden, während bereits für Adressen, die durch die Programmschritte 10 bis 50 gelau-10 fen sind, in den Programmschritten 60 bis 100 weiterverarbei- tet werden. Weiterhin ist jede vorteilhafte Konfiguration der einzelnen Programmschritte möglich.

Das erfindungsgemäße Verfahren wird beispielsweise mit einer Vorrichtung gemäß Fig. 1 abgearbeitet. Die Anzahl der Fehler-15 adressen, bei denen eine Wort- oder Bitleitung als vollständig zu reparierende Wort- oder Bitleitung erkannt wird, wird individuell an die zu testende Speicheranordnung 3 angepasst. Beispielsweise kann für eine Wortleitung eine andere vorgegebene Anzahl als für eine Bitleitung verwendet werden.

Nach dem Überprüfen aller Speicherzellen einer Speicheran-20 ordnung werden vorzugsweise die in der ersten Liste abgespei- cherten Adressen der vollständig zu ersetzenen Wort- und Bitleitungen und die in der dritten Liste im Speicher 47 ab- gespeicherten ersten Fehleradressen fehlerhafter Wort- und Bitleitungen für weitere Testverfahren abgespeichert, so dass 25 diese später weiterverwendet werden können. Beispielsweise werden die ersten und die zweiten Fehleradressen für eine statistische Bewertung einer Vielzahl von getesteten Spei-cheranordnungen verwendet. Die Hauptanwendung der ermittelten ersten und zweiten Fehleradressen ist die Redundanzkalkula-30 tion und die daraus resultierende Ermittlung der durch redundante Elemente zu ersetzenen Wort- bzw. Bitleitungsab- schnitte.

Das Verfahren nach Fig. 2 verwendet als erste Fehleradressen entweder die vollständige Adresse einer Wort- oder Bitleitung oder vorzugsweise die Adresse eines Wortleitungsblockes oder eines Bitleitungsblockes. In einem Wortleitungsblock oder 5 Bitleitungsblock sind mehrere Wort- oder Bitleitungen zusammengefasst, die bei einer Reparatur einer Wort- oder Bitleitung des Wort- bzw. Bitleitungsblockes alle ersetzt werden.

Fig. 3 zeigt schematisch einen Ausschnitt einer Speicheranordnung mit mehreren Bitleitungen 64 und mehreren Wortleitungen 65. Eine Speicherzelle 66 ist mit einer Wort- und einer Bitleitung 65, 64 verbunden. In diesem Ausführungsbeispiel sind jeweils fünf Wortleitungen 65 zu einem ersten bzw. zweiten Wortleitungsblock 55, 56 zusammengefasst. Weiterhin 10 sind jeweils vier Bitleitungen 64 zu jeweils einem ersten bzw. zweiten Bitleitungsblock 57, 58 zusammengefasst. Die Wortleitungen oder Bitleitungen eines Wortleitungsblockes bzw. eines Bitleitungsblockes werden immer vollständig bei 15 der Reparatur einer Wort- bzw. Bitleitung ersetzt. Somit reicht es aus, wenn für die zwei Bitleitungen des ersten Bitleitungsblockes 57 eine einzige Adresse, eine Bitblock- 20 Adresse, verwendet wird. Ebenso ist die Verwendung einer einzigen Adresse, einer Wortblockadresse, für zwei Wortleitungen 65 eines Wortleitungsblockes 55, 56 von Vorteil.

Über der Speicheranordnung der Fig. 3 sind schematisch einzelne Bits der Bitleitungsadresse und einzelne Bits der Wortleitungsadresse dargestellt. Mit dem höchstwertigen Bit der Bitleitungsadresse wird eine obere und eine untere Hälfte 25 adressiert. Mit dem zweithöchsten Bit wird jeweils ein oberer Teil der oberen Hälfte und ein unterer Teil der unteren Hälfte der Speicheranordnung adressiert. Ebenso wird mit dem höchstwertigen Bit der Wortleitungsadresse eine linke Hälfte 30 und eine rechte Hälfte der Speicheranordnung adressiert.

Somit ist beispielsweise zur eindeutigen Adressierung des linken oberen Bereiches das höchstwertige Bit und das zweithöchstwertige Bit der Bitleitungsadresse und zudem das höchstwertige Bit der Wortleitungsadresse notwendig. Erst 5 durch die Bitleitungsadresse und die Wortleitungsadresse wird dieser Bitleitungsabschnitt oder Wortleitungsabschnitt eindeutig identifiziert.

Die Erfindung ist nicht auf die im Ausführungsbeispiel beschriebene Vorrichtung und Verfahren beschränkt, sondern kann 10 auch in anderen Ausführungsformen der Vorrichtung oder des Verfahrens angewendet werden.

15 Vorzugsweise wird die erfindungsgemäße Vorrichtung und das erfindungsgemäße Verfahren zum Testen von matrixförmig aufgebauten Speicheranordnungen eines Halbleiterspeichers eingesetzt.

Patentansprüche

1. Verfahren zum Reduzieren der Anzahl von Adressen, die bei einer Überprüfung von Speicherzellen (66) einer Speicheranordnung abzuspeichern und weiter zu verarbeiten sind,
 - 5 wobei eine Adresse einer Speicherzelle (66), die bei einem Testverfahren als fehlerhaft erkannt wurde, als erste Fehleradresse weiterverarbeitet werden, wobei die erste Fehleradresse in einem ersten Vergleichsverfahren mit einer zweiten Fehleradresse verglichen werden,
 - 10 wobei die zweite Fehleradresse eine Adresse einer vollständig zu reparierenden Wort- und/oder Bitleitung darstellt, wobei bei Übereinstimmung der ersten Fehleradresse mit der zweiten Fehleradresse die erste Fehleradresse nicht abgespeichert und nicht weiterverarbeitet wird,
 - 15 wobei bei Nichtübereinstimmung der ersten und der zweiten Fehleradresse die erste Fehleradresse abgespeichert wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass in einem zweiten Vergleichsverfahren überprüft wird, ob für
 - 20 eine Wort- oder eine Bitleitung mehr als eine vorgegebene Anzahl von ersten Fehleradressen einer Bit- bzw. einer Wortleitung abgespeichert ist, dass die Adresse der Wort- oder Bitleitung, für die mehr als die vorgegebene Anzahl von ersten Fehleradressen abgespeichert ist, als weitere neue zweite Fehleradresse erkannt wird und bei folgenden ersten Vergleichsverfahren berücksichtigt wird.
3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass in einem zweiten Vergleichsverfahren überprüft wird, ob für
 - 30 einen Wort- oder einen Bitleitungsabschnitt mehr als eine vorgegebene Anzahl von ersten Fehleradressen einer Bit- bzw. einer Wortleitung abgespeichert ist, dass die Adresse des Wort- oder Bitleitungsabschnittes, für die mehr als die vorgegebene Anzahl von ersten Fehleradressen abgespeichert ist, als weitere neue zweite Fehleradresse er-

kannt wird und bei folgenden ersten Vergleichsverfahren berücksichtigt wird.

4. Verfahren nach Anspruch 1 bis 3, dadurch gekennzeichnet,
5 dass als erste Fehleradresse eine komplette Adresse einer
fehlerhaften Speicherzelle verwendet wird.

5. Verfahren nach einem der Ansprüche 2 bis 4, dadurch ge-
kennzeichnet, dass die vorgebbare Anzahl für die Wort-
10 und/oder Bitleitungen bzw. die Wort- und/oder Bitleitungs-
abschnitte unterschiedlich ist.

6. Verfahren nach einem der Ansprüche 1 bis 5,
dadurch gekennzeichnet,
15 dass als erste und/oder zweite Fehleradresse eine Adresse für
mehrere Bitleitungen und/oder Wortleitungen verwendet wird,
die in einem Wortleitungsblock bzw. einem Bitleitungsblock
liegen, der bei einer Reparatur vollständig ersetzt wird.

20 7. Vorrichtung zum Reduzieren der Anzahl von Adressen
fehlerhafter Speicherzellen mit einer Recheneinheit (51, 20,
31, 32), die einen Speicher (9, 10, 21, 22) aufweist,
wobei die Recheneinheit (51, 20, 31, 32) Adressen von Spei-
cherzellen (66), die bei einem Testverfahren als fehlerhaft
25 erkannt wurden, als erste Fehleradressen weiterverarbeitet,
wobei die Recheneinheit (51, 20, 31, 32) die ersten Fehler-
adressen in einem ersten Vergleichsverfahren mit zweiten
Fehleradressen vergleicht,
wobei die zweiten Fehleradressen Adressen von vollständig zu
30 reparierenden Wort- und/oder Bitleitungen darstellen,
wobei bei Übereinstimmung der ersten Fehleradresse mit der
zweiten Fehleradresse die Recheneinheit (51, 20, 31, 32) die
erste Fehleradresse nicht abspeichert,
wobei bei Nichtübereinstimmung der ersten und der zweiten
35 Fehleradresse die Recheneinheit die erste Fehleradresse ab-
speichert.

8. Vorrichtung nach Anspruch 7, dadurch gekennzeichnet,
dass die Recheneinheit (51, 20, 31, 32) in einem zweiten Ver-
gleichsverfahren überprüft, ob für eine Wort- oder eine Bit-
leitung mehr als eine vorgegebene Anzahl von ersten Fehler-
5 adressen von Bit- bzw. Wortleitungen abgespeichert ist,
wobei die Recheneinheit (51, 20, 31, 32) die Adresse der
Wort- oder Bitleitung, für die mehr als die vorgegebene An-
zahl von ersten Fehleradressen abgespeichert sind, als neue
10 weitere zweite Fehleradresse abspeichert und bei folgenden
ersten Vergleichsverfahren berücksichtigt.

9. Vorrichtung nach Anspruch 7 oder 8, dadurch gekennzeich-
net, dass die Recheneinheit (51, 20, 31, 32) eine erste Ver-
gleichseinheit (20) aufweist,
15 wobei die erste Vergleichseinheit (20) eine erste Reihe (9)
und eine zweite Reihe (10) von seriell geschalteten Registern
aufweist,
wobei jeweils ein Register der ersten Reihe (9) einem Re-
gister der zweiten Reihe (10) zugeordnet ist,
20 wobei die erste Vergleichseinheit (20) einen Takteingang (36)
aufweist, über den der ersten Vergleichseinheit (20) ein
Taktsignal zugeführt wird,
wobei einem ersten Register (11) der ersten Reihe (9) eine
erste Fehleradresse zuführbar ist,
25 wobei die erste Fehleradresse bei jedem Taktsignal um ein Re-
gister in der ersten Reihe (9) weiterverschoben wird,
wobei die Vergleichseinheit (20) zwischen den Taktsignalen
jeweils die Adressen der zugeordneten Register der ersten und
der zweiten Reihe (9, 10) vergleicht und die Adresse des Re-
30 gisters der ersten Reihe (9) löscht, wenn die Adressen über-
einstimmen.

10. Vorrichtung nach einem der Ansprüche 7 bis 9, dadurch
gekennzeichnet, dass die Recheneinheit eine zweite Ver-
35 gleichseinheit (31) aufweist,

wobei die zweite Vergleichseinheit (31) eine dritte Reihe (21) und eine vierte Reihe (22) von seriell geschalteten Registern aufweist,
wobei jeweils ein Register der dritten Reihe (21) einem Register der vierten Reihe (22) zugeordnet ist,
5 wobei die zweite Vergleichseinheit (31) einen Takteingang (36) aufweist, über den der zweiten Vergleichseinheit (31) ein Taktsignal zugeführt wird,
wobei einem ersten Register der vierten Reihe (22) nach dem 10 Takt signal eine erste Fehleradresse zuführbar ist,
wobei die erste Fehleradresse bei jedem Takt signal um ein Register in der dritten Reihe (22) weiter verschoben wird,
wobei die zweite Vergleichseinheit (31) zwischen den Takt signalen jeweils die Adressen der zugeordneten Register (23, 15 27) miteinander vergleicht,
wobei die zweite Vergleichseinheit (31) die Adresse des Registers (27) der vierten Reihe (22) löscht, wenn die Adressen übereinstimmen,
wobei die zweite Vergleichseinheit die Adresse des Registers 20 der vierten Reihe (22) in das zugeordnete Register der dritten Reihe (21) einliest, wenn das zugeordnete Register der dritten Reihe (21) beim Vergleich als leer erkannt wird,
wobei die zweite Vergleichseinheit (31) die ersten Fehler 25 adressen einer Wort- und/oder Bitleitung in einem Arbeitsgang der Reihe nach in die erste Reihe einliest und verarbeitet,
wobei die zweite Vergleichseinheit (31) nach dem Arbeitsgang überprüft, ob mehr als eine vorgegebene Anzahl von Registern der dritten Reihe (21) belegt sind,
wobei die Recheneinheit (51) die Adresse der überprüften 30 Wort- oder Bitleitung als weitere neue zweite Fehleradresse in ein freies Register der zweiten Reihe (10) einschreibt.

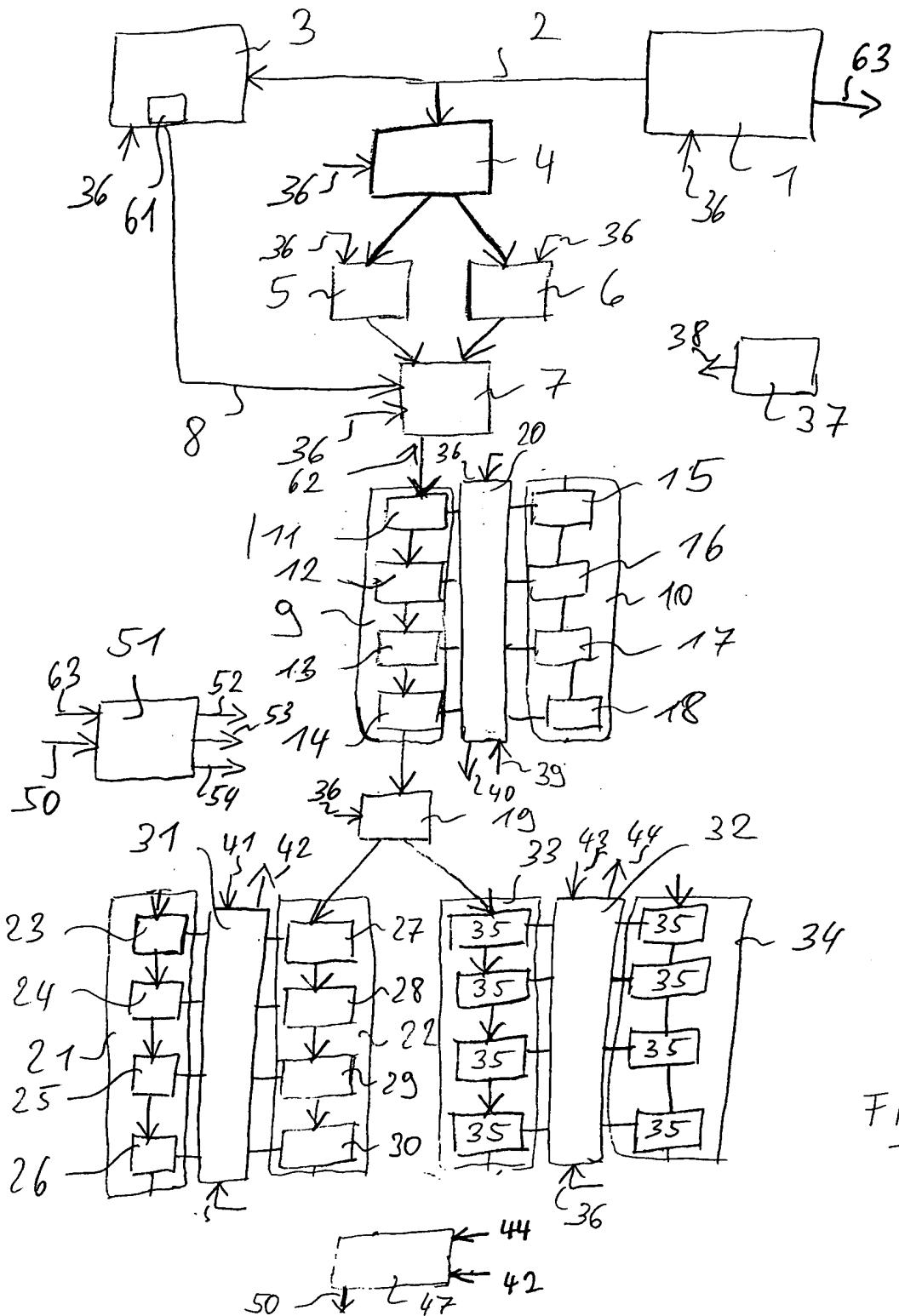
Zusammenfassung

Vorrichtung und Verfahren zum Reduzieren der Anzahl von Adressen fehlerhafter Speicherzellen

Es wird ein Verfahren und eine Vorrichtung zum Reduzieren von Adressen fehlerhafter Speicherzellen beschrieben, bei dem die Adressen fehlerhafter Speicherzellen als erste Fehleradressen mit Adressen vollständig zu reparierender Wort- oder Bitleitungen, so genannter zweiter Fehleradressen, verglichen werden. Bei Übereinstimmung der ersten Fehleradresse mit der zweiten Fehleradresse wird die erste Fehleradresse gelöscht und nicht weiterbearbeitet. In einem zweiten Vergleichsverfahren wird anhand der Anzahl der nicht gelöschten ersten Fehleradressen festgelegt, ob eine Adresse einer Wort- oder Bitleitung als neue zweite Fehleradresse für das erste Vergleichsverfahren verwendet wird. Aufgrund des beschriebenen Verfahrens wird eine Reduzierung der Adressen fehlerhafter Speicherzellen erreicht.

Fig. 1

Figur für die Zusammenfassung



Bezugszeichenliste

- 1 Testvorrichtung
- 2 Testleitung
- 3 Speicheranordnung
- 5 4 erster Multiplexer
- 5 5 erstes Adressregister
- 6 6 zweites Adressregister
- 7 7 Auswahleinheit
- 8 8 erste Ausgangsleitung
- 10 9 erste Reihe
- 10 10 zweite Reihe
- 11 11 erstes Register, erste Reihe
- 12 12 zweites Register, erste Reihe
- 13 13 drittes Register, erste Reihe
- 15 14 vierter Register, erste Reihe
- 15 15 fünftes Register, zweite Reihe
- 16 16 sechstes Register, zweite Reihe
- 17 17 siebtes Register, zweite Reihe
- 18 18 achtes Register, zweite Reihe
- 20 19 zweiter Multiplexer
- 20 20 erste Vergleichseinheit
- 21 21 dritte Reihe
- 22 22 vierte Reihe
- 23 23 dreizehntes Register, dritte Reihe
- 24 24 vierzehntes Register, dritte Reihe
- 25 25 fünfzehntes Register, dritte Reihe
- 26 26 sechzehntes Register, dritte Reihe
- 27 27 neuntes Register, vierte Reihe
- 28 28 zehntes Register, vierte Reihe
- 30 29 elftes Register, vierte Reihe
- 30 30 zwölftes Register, vierte Reihe
- 31 31 zweite Vergleichseinheit
- 32 32 dritte Vergleichseinheit
- 33 33 fünfte Reihe
- 35 34 sechste Reihe
- 35 35 Register

36 Takteingang
37 Taktgenerator
38 Taktausgang
39 erster Eingang
5 40 erster Ausgang
41 zweiter Eingang
42 zweiter Ausgang
43 dritter Eingang
44 dritter Ausgang
10 47 Speicher
50 Datenleitung
51 Recheneinheit
52 siebter Ausgang
53 achter Ausgang
15 54 neunter Ausgang
55 erster Wortleitungsblock
56 zweiter Wortleitungsblock
57 erster Bitleitungsblock
58 zweiter Bitleitungsblock
20 61 Testschaltung
62 zwölfter Ausgang
63 achter Eingang
64 Bitleitung
65 Wortleitung
25 66 Speicherzelle

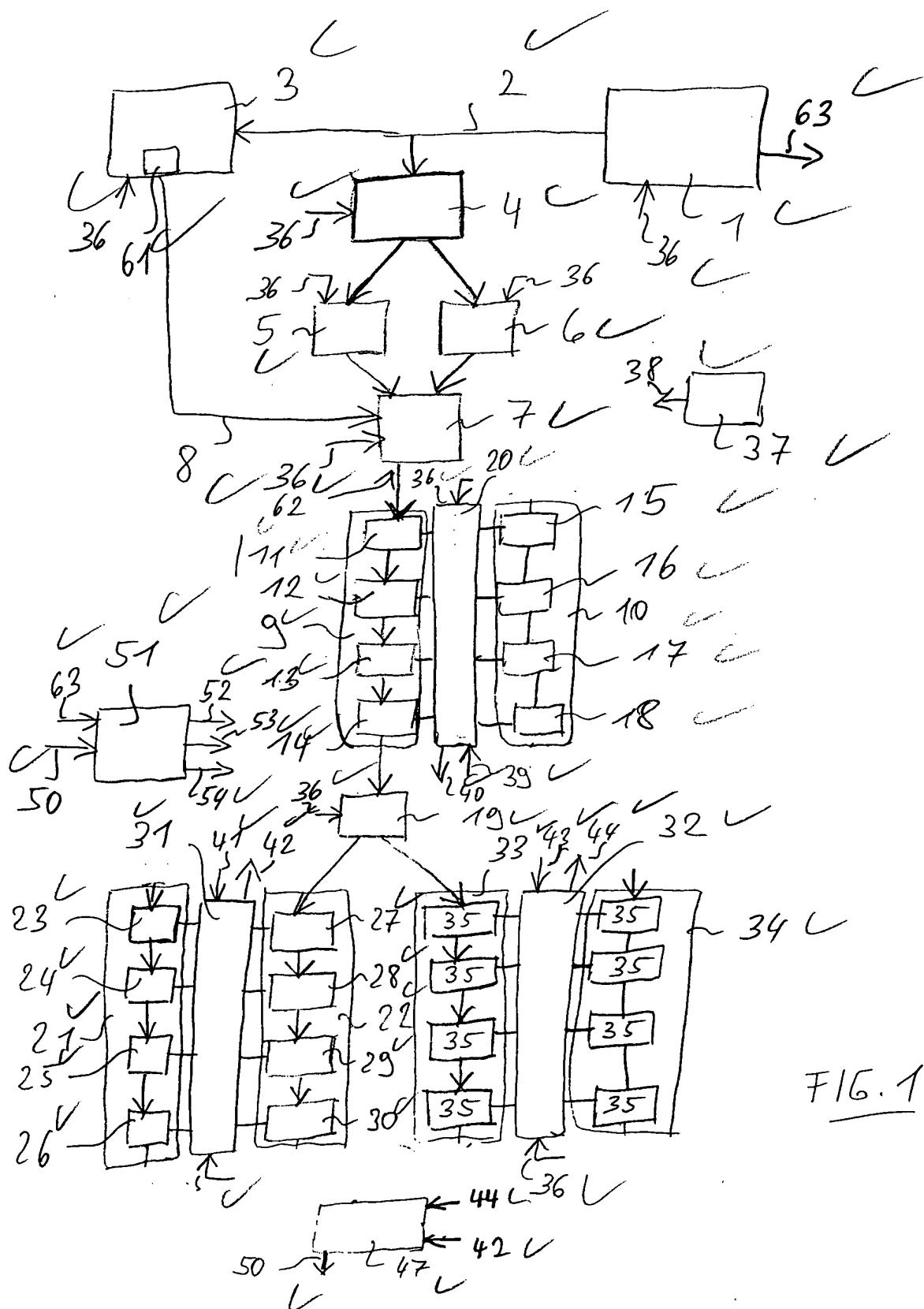


FIG. 1

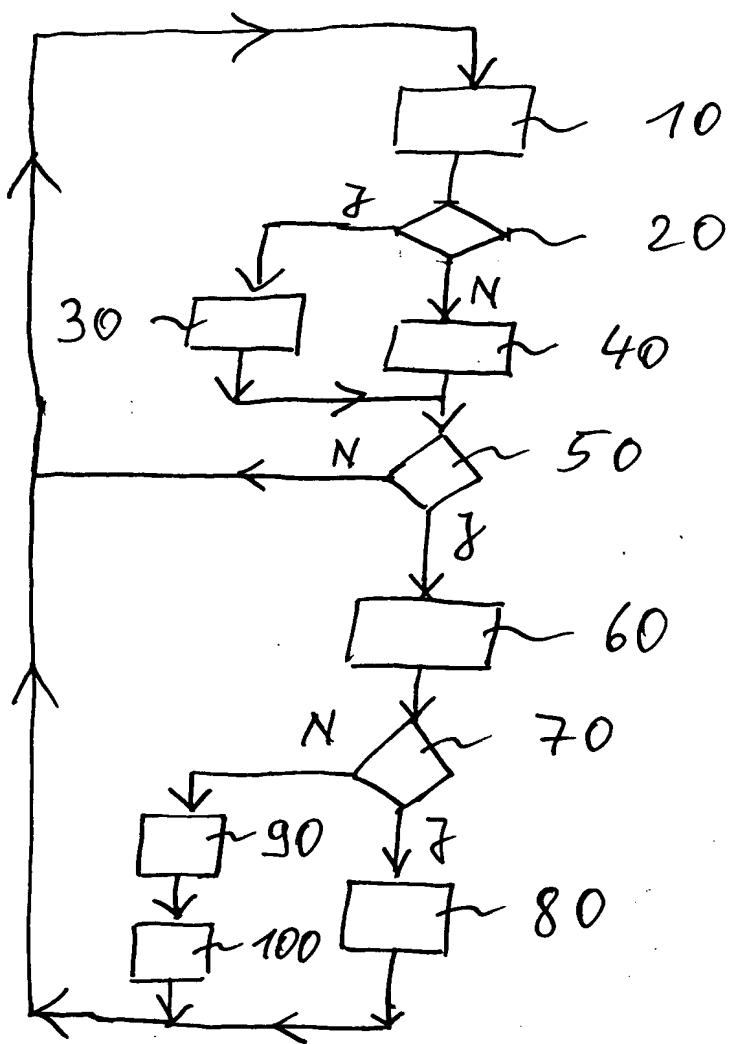
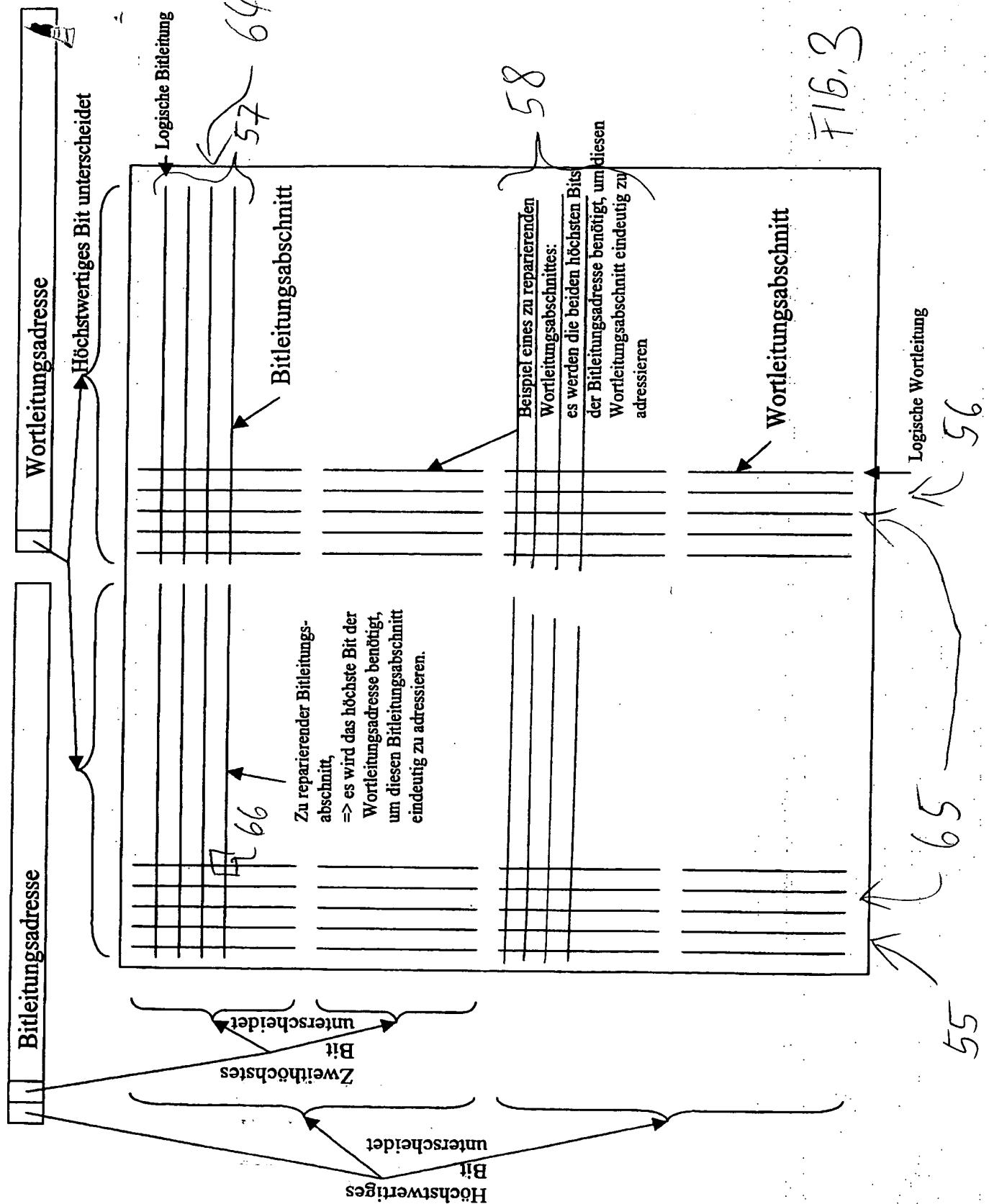


FIG. 2





Creation date: 09-29-2004

Indexing Officer: TLAM2 - THY LAM

Team: OIPEBackFileIndexing

Dossier: 10412979

Legal Date: 04-14-2003

No.	Doccode	Number of pages
1	FRPR	17

Total number of pages: 17

Remarks:

Order of re-scan issued on